

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑫ 公開特許公報(A) 平3-201882

⑪ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)9月3日

H 04 N 5/278  
G 09 G 5/24  
H 04 N 5/445

Z

8942-5C  
8320-5C  
6957-5C※

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 映像表示回路

⑮ 特 題 平1-344273

⑯ 出 願 平1(1989)12月28日

⑰ 発 明 者 木 村 博 茂 東京都中央区入船1丁目4番10号 東京電力株式会社システム研究所内

⑱ 発 明 者 渡 辺 剛 基 東京都中央区入船1丁目4番10号 東京電力株式会社システム研究所内

⑲ 発 明 者 清 水 英 夫 東京都中央区入船1丁目4番10号 東京電力株式会社システム研究所内

⑳ 発 明 者 池 田 康 成 東京都品川区北品川6丁目7番35号 ソニー株式会社内

㉑ 出 願 人 東京電力株式会社 東京都千代田区内幸町1丁目1番3号

㉒ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

㉓ 代 理 人 弁理士 松隈 秀盛

最終頁に続く

## 明 細 書

発明の名称 映像表示回路

特許請求の範囲

外部から供給される外部映像信号の同期信号に基づいて記憶素子から映像信号を読み出し、上記外部映像信号にスーパーインポーズして出力する映像表示回路において、

上記外部映像信号の有無を検出する検出回路と、  
上記記憶素子から上記映像信号を読み出すための読み出しクロックを形成するクロック発生手段と、

上記外部映像信号と上記記憶素子からの映像信号とを選択的にモニタに供給する切換回路と

を備え、上記検出回路によって上記外部映像信号が入力されていることが検出されたときに、上記クロック発生手段によって形成された読み出しクロックに基づいて内部的に同期信号を形成して上記モニタに供給すると共に上記読み出しクロックに基づいて上記記憶素子から映像信号を読み出し、該読み出された映像信号のみ上記モニタに供

給するように上記検出回路の出力信号に基づいて上記切換回路を制御するようにしたことを特徴とする映像表示回路。

発明の詳細な説明

〔産業上の利用分野〕

この発明は、外部から供給される外部映像信号の同期信号に基づいて記憶素子から映像信号を読み出し、外部映像信号にスーパーインポーズして出力する映像表示回路に関する。

〔発明の概要〕

この発明は、外部から供給される外部映像信号の同期信号に基づいて記憶素子から映像信号を読み出し、外部映像信号にスーパーインポーズして出力する映像表示回路において、外部映像信号の有無を検出する検出回路と、記憶素子から映像信号を読み出すための読み出しクロックを形成するクロック発生手段と、外部映像信号と記憶素子からの映像信号とを選択的にモニタに供給する切換回路とを備え、検出回路によって外部映像信号が

## 特開平3-201882(2)

入力されていないことが検出されたときに、クロック発生手段によって形成された読み出しクロックに基づいて内部的に同期信号を形成してモニタに供給すると共に読み出しクロックに基づいて記憶素子から映像信号を読み出しこの読み出された映像信号のみモニタに供給するように検出回路の出力信号に基づいて切換回路を制御するようにすることにより、無放送チャンネル選択時や放送終了時等の雑音による不快感が緩和され、記憶素子からの映像信号の表示を安定に見易く且つ使い易くすることができるようにしたものである。

## (従来の技術)

外部から供給される外部映像信号から抽出された同期信号に基づいて記憶素子から映像信号を読み出し、外部映像信号にスーパーインポーズして出力する映像表示回路として従来第4図に示すようなものがある。同図において、(1)は外部より映像信号が供給される入力端子であって、この入力端子(1)からの映像信号は同期分離回路(2)に供給さ

れ、ここで水平同期信号及び垂直同期信号を含む複合同期信号が同期分離される。この同期分離された複合同期信号は水平同期分離回路(3)及び1フレーム先頭検出回路(4)に供給されると共に同期出力端子(5)に供給され、この同期出力端子(5)に得られた複合同期信号はモニタ(図示せず)に供給される。

水平同期分離回路(3)で複合同期信号から水平同期信号が抽出され、図示せず但相比較器、ローパスフィルタ(LPF)、ドットクロック発生器等から成るクロック発生用PLL回路(6)に供給される。PLL回路(6)は供給された水平同期信号を基準として入力映像信号に同期したドットクロック(読み出しクロック)を発生する。このドットクロックはドットカウンタ(7)に供給され、このドットカウンタ(7)が1ライン分のドットクロックをカウントする毎にラインカウンタ(8)をインクリメントする。ラインカウンタ(8)は1フレーム分の走査線数になっており、1フレームのラインをカウントする毎に元に戻るようになっているが入力映

像信号と同期をとるため、フレーム先頭検出回路(4)で垂直同期信号より検出したフレーム先頭検出パルスでリセットされるようになっている。このドットカウンタ(7)の出力が横方向のアドレス信号として、またラインカウンタ(8)の出力が縦方向のアドレス信号として夫々ビデオ用RAM(以下、VRAMと称する)(9)に供給され、その内容が読み出される。

このVRAM(9)からの映像信号と入力端子(1)からの外部映像信号を高速スイッチ回路(10)で高速スイッチすることで外部映像信号にVRAM(9)からの映像信号がスーパーインポーズされ、映像出力端子(11)に取り出され、モニタへ供給される。

ここで同期出力として同期分離回路(2)で同期分離された複合同期信号を直接用いているのは、VTR等の同期のあまいジッタのあるソースが入って来たときにはドットカウンタ(7)の出力の水平同期ではPLL回路(6)内のLPFの追従性が悪くなるからである。

## (発明が解決しようとする課題)

ところで、第4図の如き構成の従来回路の場合、入力端子(1)からの外部映像信号を直接モニタに表示しているので、例えばチューナで無放送チャンネルを返戻したりすると画面に雑音が現われ、非常に見ずらく、また音声出力もその雑音のため聞きづらい等の欠点があった。

また、入力端子(1)からの外部映像信号(主画面信号)にVRAM(9)からの文字や図形等の映像信号をスーパーインポーズするにしても主画面に雑音が入っていたのでは見ずらいばかりではなく、スーパーインポーズの為のVRAM(9)の映像信号の同期も不安定となりモニタ上では画像が揺れてしまう等の欠点があった。

この発明は斯る点に鑑みてなされたもので、外部映像信号の検出回路を設け、外部映像信号を常に監視して正誤の入力信号が入力されているか否かを判断し、若し正規の外部映像信号が入力されていないと判断したならば、同期信号をVRAMを含

特開平3-201882 (9)

共に画面を全てキャラクタ発生回路側に切換えて主画面（外部映像信号）側の雑音を表示しないようにすると共に音声についても出力をミュートしたり或いは他のソースに切換えるようにした映像表示回路を提供するものである。

#### （課題を解決するための手段）

この発明による映像表示回路は、外部から供給される外部映像信号の同期信号に基づいて記憶素子(9)からの映像信号を読み出し、外部映像信号にスーパーインポーズして出力する映像表示回路において、外部映像信号の有無を検出する検出回路(21)と、記憶素子(9)から映像信号を読み出すための読み出しクロックを形成するクロック発生手段(6A,7,8)と、外部映像信号と記憶素子(9)からの映像信号とを選択的にモニタに供給する切換回路(10)とを備え、検出回路(21)によって外部映像信号が入力されていないことが検出されたときに、クロック発生手段(6A,7,8)によって形成された読み出しクロックに基づいて内部的に同期信号を形

成してモニタに供給すると共に読み出しクロックに基づいて記憶素子(9)から映像信号を読み出し、この読み出された映像信号のみモニタに供給するように検出回路(21)の出力信号に基づいて切換回路(10)を制御するように構成している。

#### （作用）

検出回路(21)で外部から供給される外部映像信号の有無を検出する。外部映像信号が有るときは外部映像信号に記憶素子(9)から読み出した映像信号をスーパーインポーズして表示するスーパーインポーズモードとするも、外部映像信号が無いときはクロック発生手段(6A,7,8)によって形成された読み出しクロックに基づいて内部的に同期信号を形成してモニタに供給して内部同期を図ると共に読み出しクロックに基づいて記憶素子(9)から映像信号を読み出し、この読み出した映像信号のみモニタに供給して表示する。つまり、外部映像信号を消して記憶素子からの映像信号のみをあたかも黒板に書かれた文字の様に表示する（以下、黒

板モードと云う）。これにより、無放送チャンネル選択時や放送終了時の雑音による不快感が緩和され、記憶素子(9)からの映像信号の表示を安定に見易く且つ使い易くすることができる。

#### （実施例）

以下、この発明の一実施例を第1図～第3図に基づいて詳しく説明する。

第1図は本実施例の全体の構成を示すもので、同図において、第4図と対応する部分には同一符号を付し、その詳細説明は省略する。

本実施例では、入力側に入力端子(1)からの外部映像信号の有無を検出する映像信号検出回路(21)を設ける。この映像信号検出回路(21)は外部映像信号が有るときは例えばハイレベルの出力信号を発生し、外部映像信号が無かったり或いは正規の映像信号以外の雑音等が入った時には例えばローレベルの出力信号を発生する。この映像信号検出回路(21)の出力信号はクロック発生用PLL回路

同期切換用スイッチ回路(22)に切換信号として供給され、更にナンド回路(23)の一方の入力端にゲート信号として供給される。

PLL回路(6A)はイネーブル端子ENを有し、映像信号検出回路(21)の出力信号がハイレベルのときは位相比較器をイネーブルとして位相比較を行い、ローレベルのときは位相比較を行わず、内部の発振器は一定電圧を加えられてフリーラン状態となる。同期切換用スイッチ回路(22)は映像信号検出回路(21)の出力がハイレベルのときは同期分離回路(2)からの複合同期信号（外部同期信号）を選択し、ローレベルのときは、加算器(24)でドットカウンタ(7)とラインカウンタ(8)の各出力を加算し、水平及び垂直同期を複合化した内部同期信号を選択する。

高速スイッチ回路(23)はナンド回路(23)の出力信号により切換わるようになされており、ナンド回路(23)の出力信号がハイレベルのときはVRAM(9)からの映像信号を通し、ローレベルのときは入力

## 特開平3-201882 (4)

ンド回路(23)の他方の入力端にはインバータ(25)を介して制御入力端子(26)より高速スイッチ制御入力信号が供給されるようになされている。

次に第1図の回路動作を説明する。いま、入力端子(1)より外部映像信号が供給されているときは映像信号検出回路(21)で外部映像信号が有ることが検出され、その出力側にハイレベルの出力信号を出力する。このハイレベルの出力信号はP.L.L.回路(64)のイネーブル端子(6A)に供給されると共に同期切換用スイッチ回路(22)及びナンド回路(23)の一方の入力端に供給される。

P.L.L.回路(64)のイネーブル端子(6A)がハイレベルになることにより内部の位相比較器(図示せず)がイネーブル状態となり、外部映像信号に同期したドットクロックがP.L.L.回路(64)から出力される。このドットクロックに基づいてドットカウンタ(7)及びラインカウンタ(8)によりアドレス信号が形成され、これによりVRAM(9)の内容が読み出され、高速スイッチ回路(10)に供給される。

ナンド回路(23)の一方の入力端子は今ハイレベ

ルとなっているのでナンド回路(23)の出力信号は制御入力端子(26)からの高速スイッチ制御入力信号に依存する。ナンド回路(23)の出力信号は切換信号として高速スイッチ回路(10)に供給され、高速スイッチ制御入力信号に依存した高速スイッチが行われる。この結果出力端子(11)には入力端子(1)からの外部映像信号にVRAM(9)からの映像信号がスーパーインポーズされた信号が得られる。

また、同期切換用スイッチ回路(22)は映像信号検出回路(21)からの出力信号がハイレベルのときは同期分離回路(24)からの複合同期信号を選択して同期出力端子(5)に出力する。これにより例えばV.T.R.のようなジッタの多い信号に対しても追従性の早い同期をモニタに供給することができる。

次に入力端子(1)より供給されている外部映像信号がなくなると、映像信号検出回路(21)の出力信号はローレベルとなる。これによりP.L.L.回路(64)の位相比較器がディセーブルとなり、内部の発振器(図示せず)には一定電圧が加えられフリーラン状態となる。このフリーラン状態の発振器

の発振周波数に対してドットカウンタ(7)及びラインカウンタ(8)が働き、その出力を加算器(24)で複合化して内部同期信号を形成し、これがスイッチ回路(22)で選択されて同期出力端子(5)に導出されてモニタに供給される。

また、ドットカウンタ(7)及びラインカウンタ(8)からのアドレス信号によりVRAM(9)の内容が読み出され、高速スイッチ回路(10)に供給される。このときナンド回路(23)の一方の入力端はローレベルになるので、ナンド回路(23)の出力信号は制御入力端子(26)からの高速スイッチ制御入力信号とは無関係に常時ハイレベルにある。従って高速スイッチ回路(10)はVRAM(9)からの映像信号のみを映像出力端子(11)に出力してモニタに供給するようになる。つまりモニタの表示モードは主画面(外部映像信号)を消してVRAM(9)からの映像信号のみを表示する黒版モードとなる。

このように本実施例では無放送チャンネルを選択したり、放送終了後には雑音成分が入力信号と

のみを内部同期させて表示するようにしたので、雑音の影響を受けることなくVRAM(9)からの映像信号を安定した状態で見ることができる。また、外部映像信号が存在しない時は音声信号も正常でないことがほとんどある。例えば無放送チャンネルを選択した時は映像の他に音も雑音だらけになって聞き苦しい感じを与える。そこで、この雑音時には音をミュートしたり、或いは正規の信号が入力されていないことを人工音で発生させたりすることも考えられる。

第2図は第1図で用いた映像信号検出回路(21)の具体的な回路構成の一例を示すもので、入力端子(31)からの外部映像信号より水平同期信号及び垂直同期信号を含む複合同期信号を抽出する同期分離回路(32)と、この同期分離回路(32)で抽出された複合同期信号より垂直同期信号のみを抽出する十分狭帯域の低域フィルタ(33)と、この低域フィルタ(33)で抽出された垂直同期信号を波形整形する波形整形回路(34)と、この波形整形回路(34)

## 特開平3-201882 (5)

に外部映像信号が存在することを表わす信号を出力するリトリガブルマルチ(35)とから成っている。

次に第2図の回路動作を第3図を参照して説明する。いま、入力端子(31)より第3図Aに示すような外部映像信号S<sub>1</sub>が同期分離回路(2)に供給されると、その出力側には第3図Bに示すように水平同期信号(Hsync)及び垂直同期信号(Vsync)を含む複合同期信号S<sub>2</sub>が得られる。この複合同期信号S<sub>2</sub>は低域フィルタ(33)に供給され、ここで第3図Cに示すように垂直同期信号S<sub>3</sub>のみが抽出される。この垂直同期信号S<sub>3</sub>は波形整形回路(34)で波形整形されて第3図Dに示すような信号S<sub>4</sub>となる。この波形整形された垂直同期信号S<sub>4</sub>はリトリガブルマルチ(35)に供給される。このリトリガブルマルチ(35)の時定数は第3図Eに示すように1垂直周期以上の長さに設定されている。従ってリトリガブルマルチ(35)は垂直同期信号S<sub>4</sub>が供給されると、第3図Eに示すように、その立下りに同期してトリガされ、その状態を維持し、

出力端子(36)にハイレベルの信号S<sub>5</sub>を出力する。つまり、出力端子(36)のレベルがハイレベルであることは入力端子(31)には外部映像信号が存在していることを表している。

また、入力端子(31)が無信号であれば同期分離回路(2)の出力は何も出力されず、低域フィルタ(33)及び波形整形回路(34)の出力も無出力となり、リトリガブルマルチ(35)もトリガされず、その出力はローレベルとなり、出力端子(36)のレベルもローレベルとなる。また、入力端子(31)より雑音が入力されたときには同期分離回路(2)の出力側に2値化された雑音出力されるが、この雑音は帯域外の低域フィルタ(33)でカットされてしまい、無入力時と同様リトリガブルマルチ(35)はトリガされず、出力端子(36)のレベルはローレベルとなる。つまり、出力端子(36)のレベルがローレベルであることは入力端子(31)には外部映像信号が存在していないことを表している。

このようにして正規の信号が入力された時にはリトリガブルマルチ(35)はトリガされ続けるが、

無入力時や雑音入力時にはリトリガブルマルチ(35)はトリガされず、このリトリガブルマルチ(35)の出力レベルすなわち出力端子(36)のレベルを見ることにより外部映像信号の有無を検出できることになる。

#### (発明の効果)

上述の如くこの発明によれば、外部映像信号の有無を検出する検出回路を設け、この検出回路によって外部映像信号が入力されていないことが検出されたときに、クロック発生手段によって形成された読み出しクロックに基づいて内部的に同期信号を形成してモニタに供給すると共に読み出しクロックに基づいて記憶素子から映像信号を読み出してモニタに供給するようにしたので、無放送チャンネル選択時や放送終了時等の雑音による不快感が緩和され、記憶素子からの映像信号の変位を安定に見易く且つ使い易くすることができる。図面の簡単な説明

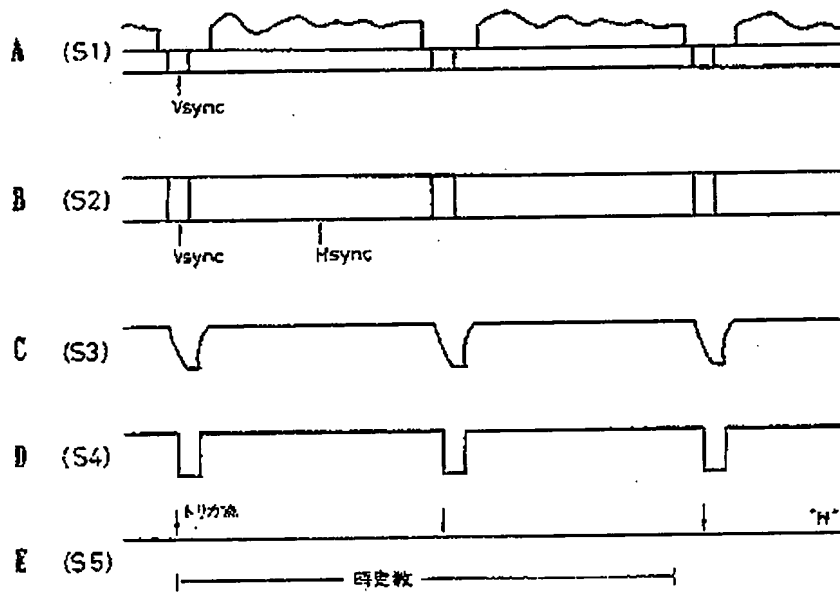
第2図はこの発明の要部の一例を示す回路構成図、第3図は第2図の動作説明に供するための図、第4図は従来回路の一例を示す回路構成図である。

(2)は同期分離回路、(3)は水平同期分離回路、(4)はフレーム先頭検出回路、(6A)はクロック発生用PLL回路、(7)はドットカウンタ、(8)はラインカウンタ、(9)はビデオ用RAM(VRAM)、(10)は高速スイッチ回路、(21)は映像信号検出回路、(22)は同期切換用スイッチ回路である。

代理人 松 隈 秀 盛



特開平3-201882(7)



動作説明図  
第3図

第1頁の続き

⑤Int. Cl.<sup>5</sup>

H 04 N 5/68

識別記号

庁内整理番号

D

7605-5C

⑦発明者 勝 又

徹

東京都品川区北品川6丁目7番35号 ソニー株式会社内